

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-101502

(43)公開日 平成9年(1997)4月15日

(51) Int.Cl.^e 識別記号 庁内整理番号 F I 技術表示箇所
G 0 2 F 1/133 5 5 0 G 0 2 F 1/133 5 5 0
G 0 9 G 3/36 G 0 9 G 3/36

審査請求 未請求 請求項の数 3 OL (全 6 頁)

(21)出願番号 特願平7-259963
(22)出願日 平成7年(1995)10月6日

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

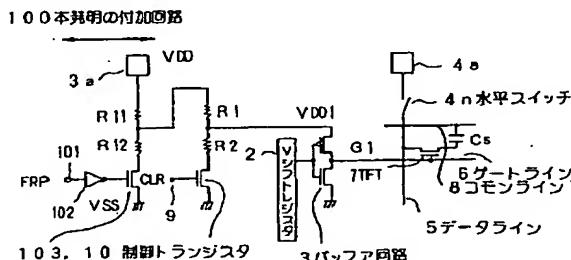
(72)発明者 内野 勝秀
東京都品川区北品川6丁目7番35号ソニー
株式会社内

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

【課題】 ユニフォーミティ改善バルスおよび分割抵抗手法によるゲートバルスのばらつきを回避し、ユニフォーミティの改善効果を高めた液晶表示装置およびその駆動方法を提供する。

【解決手段】 本発明の液晶表示装置は、電源VDDから分割抵抗R11、R12を介して極性反転パルス(FRP)の入力端子101、インバータ回路102、および制御トランジスタ103を追加した。その駆動方法として、ゲートパルスG1、G2、G3の振幅を、極性反転パルスで制御し、“ハイレベルの映像信号”では従来のゲートパルス振幅とし、“ローレベルの映像信号”では“ハイレベルの映像信号”を書き込む際の動作点と同じになるように振幅を小さくする。これにより、ユニフォーミティが更に改善される。



【特許請求の範囲】

【請求項1】 行状に配した複数のゲートラインが接続されたバッファ回路と、前記バッファ回路が接続されたVシフトレジスタと、

列状に配した複数のデータラインが接続された水平スイッチと、前記水平スイッチが接続されたHシフトレジスタと、

前記ゲートラインと前記データラインの各交差部に設けられた画素部とを備えた液晶表示装置において、

少なくとも該バッファ回路の電源端子を、所定の分割比を有し、ユニフォーミティ改善パルスが入力される制御トランジスタを介して制御される第1の分割抵抗の分割部に接続し、

更に、前記第1の分割抵抗の電源端子を、所定の分割比を有し、極性反転パルスが入力される制御トランジスタを介して制御される第2の分割抵抗の分割部に接続し、該第2の分割抵抗の電源端子を、電源に接続したこと特徴とする液晶表示装置。

【請求項2】 行状に配した複数のゲートラインが接続されたバッファ回路と、前記バッファ回路が接続されたVシフトレジスタと、

列状に配した複数のデータラインが接続された水平スイッチと、前記水平スイッチが接続されたHシフトレジスタと、

前記ゲートラインと前記データラインの各交差部に設けられた画素部とを備えた液晶表示装置の駆動方法において、

少なくとも該バッファ回路の電源端子を、所定の分割比を有し、ユニフォーミティ改善パルスによって制御される第1の分割抵抗の分割部に接続し、

更に、前記第1の分割抵抗の電源端子を、所定の分割比を有し、極性反転パルスによって制御される第2の分割抵抗の分割部に接続し、

該第2の分割抵抗の電源端子を、電源に接続するとともに、

前記第1の分割抵抗の電源端子に接続された該バッファ回路の発するゲートパルスをユニフォーミティ改善パルスにより制御して電圧低下を生じ、

更に、該第2の分割抵抗の電源端子を極性反転パルスによって制御し、ローレベルの映像信号の書き込みに際し、該バッファ回路の発するゲートパルスの振幅を小さくすることを特徴とする液晶表示装置の駆動方法。

【請求項3】 該バッファ回路の発するゲートパルスは、ローレベル側およびハイレベル側の映像信号を書き込む際の変換電圧と同一になるように制御されることを特徴とする請求項2に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置およびその駆動方法に関し、更に詳しくは、アクティブマトリクス型液晶表示装置の選択パルス（ゲートパルス）が画素へ飛び込むことによる面ザラ不良を改善した液晶表示装置およびその駆動方法に関する。

【0002】

【従来の技術】 カメラ一体型VTRや液晶プロジェクタ等に使用される従来のアクティブマトリクス型液晶表示装置について図3ないし図7を参照して説明する。先ず、図3を参照して従来技術の液晶表示装置の構成を説明する。図3は従来技術の液晶表示装置の要部を示すブロック図である。

【0003】 この液晶表示装置は、Hシフトレジスタ1、Vシフトレジスタ2、バッファ回路3、および画素部が内挿されて構成される。Hシフトレジスタ1には各種制御信号が入力されるとともに、水平スイッチ4nが接続されている。水平スイッチ4nには電極パッド4aを介してR、G、Bの映像信号（例えばカラー液晶パネルの場合）が入力される。水平スイッチ4nにはデータライン5が接続されていて、このデータライン5を介して映像信号が各画素部に入力されるようになされている。

【0004】 一方、Vシフトレジスタ2には各種制御信号が入力されるとともに、バッファ回路3を介して行方向のゲートライン6が接続されている。バッファ回路3には電極パッド3aを介して電源VDDが印加されるようになっている。データライン5やゲートライン6はマトリクス状に配列されていて、その交差部には画素部としての薄膜トランジスタ（Thin Film Transistor:以下、単に「TFT」と記す）7、液晶セルLCおよび保持容量Csが配設され、液晶セルLCおよび保持容量Csを介してコモンライン（コモン電極）8が形成されている。

【0005】 次に、図3および図4を参照して従来技術の液晶表示装置の駆動方法の一例を説明する。図4は従来技術の液晶表示装置の駆動方法を示す図であり、

(a)は“ローレベルの映像信号”を書き込むタイミングチャート図であり、(b)は“ハイレベルの映像信号”を書き込むタイミングチャート図である。

【0006】 図3および図4(a)において、図示を省略した外部ICや電源回路からR、G、Bの映像信号や各種制御信号、および電源電圧を受取してHシフトレジスタ1やVシフトレジスタ2に供給する。一例として所定のゲートライン6に図4(a)に示す如きゲートパルスが印加されるとともに、ゲートラインの選択期間中にn番目の水平スイッチ4nが、同じく図4(a)に示す如きスイッチングパルスを発する。すると、そのデータライン5に印加される映像信号Vsigは、例えば保持していた“ハイレベル”から“ローレベル”に変化するとともに、“ローレベルの映像信号”VLを保持する。その後、“ローレベルの映像信号”VLは、ゲートパルスがオフする瞬間にTFT7のゲートソース間容量C

C_{gS} 等による容量カッピングの影響を受け、 ΔVL の信号の沈み込みを生じる。

【0007】同様に、“ハイレベルの映像信号”の書き込みにおいて、一例として所定のゲートラインに図4 (b) に示す如きゲートバルスが印加され、n番目の水平スイッチ4nがスイッチングバルスを発して“ハイレベルの映像信号”を書き込むとき、データライン5に印加される映像信号Vsigは、例えば保持していた“ロ*

$$\text{即ち, } \Delta VL = (C_{gS}/C_{gS} + C_s) \cdot \Delta L \quad ①$$

$$\Delta VH = (C_{gS}/C_{gS} + C_s) \cdot \Delta H \quad ②$$

$$\text{但し, } \Delta L = VDD - VL - Vth \quad ③$$

$$\Delta H = VDD - VH - Vth \quad ④$$

C_{gS} : TFTのゲート-ソース間容量

C_s : 保持容量

VDD : 電源

VL : ローレベルの映像信号(略4V)

VH : ハイレベルの映像信号(略8V)

Vth : スレショールドレベル(略1V)

【0009】図5を参照して ΔVH が ΔVL よりも小さくなる理由を説明する。図5は書き込みゲートバルスおよび映像信号レベルを示す波形図である。

【0010】図5において、ゲートバルスの振幅を電源 VDD (13.5V)、アース端子 VSS 間として、前述のスイッチングバルスの印加後“ローレベルの映像信号” VL に達するまでの電位の変化を計算すると、③式から $\Delta L = 13.5 - 4 - 1 = 8.5V$ となる。

【0011】同じく、“ハイレベルの映像信号” VH に達するまでの電位の変化を計算すると、④式から $\Delta H = 13.5 - 8 - 1 = 4.5V$ と表される。これらの数値を①、②式に代入して、変倚電圧 ΔVL および ΔVH を求めるに、ローレベル側の変倚電圧 ΔVL の方が大きい値となる。即ち、“ハイレベルの映像信号” VH と“ローレベルの映像信号” VL では書き込み動作点が異なっていることが判る。特に、値の大きな変倚電圧 ΔVL は画素部へ飛び込み、この ΔVL のばらつきが画素部の表示映像に影響を与えることになる。具体例としては、 ΔVL のばらつきによって映像信号レベルが変化するため、“面ザラ不良”と呼ばれるユニフォーミティの悪化となる問題点がある。このユニフォーミティを改善するため、次のような対応が図られている。

【0012】引き続き、図6および図7を参照して従来技術のユニフォーミティ改善対策を説明する。図6は従来技術のユニフォーミティ改善対策の一例を示すブロック図であり、図7はそのタイミングチャート図である。

【0013】従来技術のユニフォーミティ改善対策として、前述の従来技術の液晶表示装置に付加して、電源 VDD から第1の分割抵抗たるR1、R2を介して制御トランジスタ10を追加した。制御トランジスタ10には入力端子9を経てユニフォーミティ改善バルスが入力される。第1の分割抵抗R1、R2の分割部から新たな電

* “一レベル”から“ハイレベル”に変化するとともに、“ハイレベルの映像信号” VH を保持する。この VH は、ゲートバルスがオフする瞬間に容量カッピングの影響を受け、 ΔVH の信号の沈み込みを生じることになる。但し、この ΔVH は後述する理由により、 ΔVL よりも小さい値となる。これら各々変倚電圧 ΔVL および ΔVH は次式で表すことができる。

【0008】

源 $VDD0$ として取出すように構成した。

【0014】従来技術の液晶表示装置のバッファ回路3以降の構成としては、映像信号が入力される電極パッド4aと、Hシフトレジスタ(図示省略)に接続された水平スイッチ4n、水平スイッチ4nに接続されたデータライン5から構成される。バッファ回路3にはゲートライン6が接続されるとともに、データライン5やゲートライン6はマトリクス状に配列されている。データライン5やゲートライン6の交差部には画素部たるTFT7、液晶セルLCおよび保持容量 C_s が配設されていて、液晶セルLCおよび保持容量 C_s を介してコモンライン8が形成されている。なお、以下の説明では液晶セルLCの記載は省略する。

【0015】かかる構成の従来技術のユニフォーミティ改善対策の動作としては、入力端子9から図7に示すようなユニフォーミティ改善バルス(図では「CLR」と記す)を印加する。新たに接続された電源 $VDD0$ は、ユニフォーミティ改善バルスの“ローレベル”期間では、図のように分割抵抗R1を介して通常の電源電圧が供給されるが、ユニフォーミティ改善バルスの“ハイレベル”期間では、制御トランジスタ10が“オン”するため、予め設定された第1の分割抵抗R1、R2によって分割された電圧低下Aを生じるようになる。そのため、この電源 $VDD0$ に接続されたバッファ回路3の発生するゲートバルスG1、G2、G3は、電圧低下Aを含んだバルスを発生するようになる。

【0016】このように、従来技術のユニフォーミティ改善対策では、Vシフトレジスタのゲートバルスが“オフ”するタイミングで電圧を低下させる手法によって“面ザラ不良”等のユニフォーミティの悪化を低減している。しかしながら、この手法では各々変倚電圧の比は変わらずそのまま存在しているため、製造プロセスのばらつき等によっては再びユニフォーミティが損なわれる可能性があった。

【0017】

【発明が解決しようとする課題】本発明はかかる問題点に鑑みてなされたもので、その課題は、Vシフトレジスタのゲートバルスが“オフ”するタイミングで電圧を低

下させてユニフォーミティを改善する従来技術のユニフォーミティ改善対策におけるばらつきを回避し、更なるユニフォーミティの改善効果を高めた液晶表示装置およびその駆動方法を提供することである。

【0018】

【課題を解決するための手段】上述の従来技術の課題を解決するために以下の手段を講じた。即ち、行状に配した複数のゲートラインが接続されたバッファ回路と、バッファ回路が接続されたVシフトレジスタと、列状に配した複数のデータラインが接続された水平スイッチと、水平スイッチが接続されたHシフトレジスタと、ゲートラインとデータラインの各交差部に設けられた画素部とを備えた液晶表示装置において、Vシフトレジスタ、バッファ回路またはその両方の電源端子を、所定の分割比を有して、ユニフォーミティ改善パルスが入力される制御トランジスタを介して、ユニフォーミティ改善パルスによって制御される第1の分割抵抗の分割部に接続する。更に、第1の分割抵抗の電源端子を、所定の分割比を有し、極性反転パルスが入力される制御トランジスタを介して、極性反転パルスによって制御される第2の分割抵抗の分割部に接続し、その第2の分割抵抗の電源端子を、電源に接続する構成とした。

【0019】かかる構成の液晶表示装置の駆動方法において、第1の分割抵抗の電源端子に接続されたバッファ回路の発するゲートパルスを、ユニフォーミティ改善パルスにより制御して電圧低下を生じ、更に、第2の分割抵抗の電源端子を極性反転パルスによって制御する。そして、ローレベルの映像信号の書き込みに際して、バッファ回路の発するゲートパルスの振幅を所定値まで小さくして前記課題を解決した。

【0020】好ましくは、そのバッファ回路の発するゲートパルスは、ローレベル側およびハイレベル側の映像信号を書き込む際の変換電圧と同一になるように制御されるようにする。

【0021】本発明の液晶表示装置およびその駆動方法によれば、かかる構成により、ローレベル側およびハイレベル側の映像信号を書き込む際の変換電圧と同一になるように制御するため、製造プロセス等がばらついた場合においても、変換電圧の影響が画素部に及ぶことがなく、“面ザラ不良”等のユニフォーミティの悪化を回避することができる。

【0022】

【発明の実施の形態】以下、図1および図2を参照して本発明の液晶表示装置およびその駆動方法の実施の形態を説明する。なお、従来技術で記載した事項と共通する部分には同一の参照符号を付し、それらの説明を一部省略する。

【0023】先ず、図1を参照して本発明の液晶表示装置の構成を説明する。図1は本発明の液晶表示装置の要部を示すブロック図である。

【0024】本発明の液晶表示装置は、前述の従来技術のユニフォーミティ改善対策に付加して、本発明の付加回路100として、電源VDDから第2の分割抵抗たるR11、R12を介して制御トランジスタ103を追加した。制御トランジスタ103には入力端子101を経てインバータ回路102が接続され、入力端子101には極性反転パルス(図では「FRP」と略記する)が入力される。そして、第2の分割抵抗R11、R12の分割部から、第1の分割抵抗R1、R2の新たな電源VD1として取出すように構成した。

【0025】本発明の付加回路100以降の構成としては、映像信号が入力される電極パッド4aと、Hシフトレジスタ(図示省略)に接続された水平スイッチ4n、水平スイッチ4nに接続されたデータライン5によって構成される。また、バッファ回路3にはゲートライン6が接続されるとともに、データライン5やゲートライン6はマトリクス状に配列されている。データライン5やゲートライン6の交差部には画素部たるTFT7、液晶セルLC(図示省略)および保持容量Csが配設されていて、液晶セルLCおよび保持容量Csを介してコモンライン8が形成されている。

【0026】次に、図1および図2を参照して本発明の液晶表示装置の駆動方法の動作を説明する。図2は本発明の液晶表示装置の駆動方法を示すタイミングチャート図である。

【0027】本発明の液晶表示装置の駆動方法としては、前述の入力端子9からユニフォーミティ改善パルス(CLR)を印加するとともに、新たに設けられた入力端子101から極性反転パルス(FRP)を印加する。

【0028】第1の分割抵抗R1、R2の分割部に接続された電源VD1は、ユニフォーミティ改善パルスの“ローレベル”期間では、図2のように分割抵抗R1を介して通常の電源電極が供給されるが、ユニフォーミティ改善パルスの“ハイレベル”期間では、制御トランジスタ10が“オン”するため、予め設定された分割抵抗R1、R2によって分割されて電圧低下Aを生じるようになる。

【0029】更に、本発明の特徴事項として、第1の分割抵抗R1、R2の電源VD1は、第2の分割抵抗R11、R12の分割部に接続されているため、例えば1H反転の極性反転パルスによって制御されることになり、極性反転パルスの“ハイレベル”期間では、インバータ回路102によって“ローレベル”となり、制御トランジスタ103は“オフ”状態となり、前述のゲートパルスがそのまま出力される。

【0030】極性反転パルスの“ローレベル”期間では、インバータ回路102によって“ハイレベル”となり、制御トランジスタ103は“オン”状態となり、電源VD1に振幅低下Bを発生させる。つまり、この電源VD1に接続されたバッファ回路3の発生するゲートパルスG1、G2、G3の振幅は、極性反転パルスに

よって制御される。即ち、極性反転パルスによって、“ハイレベルの映像信号”のときには従来技術のゲートパルス振幅とし、“ローレベルの映像信号”的ときには“ハイレベルの映像信号”を書き込む動作点と同じになるようにゲートパルスの振幅を小さく制御する。

【0030】つまり、“ローレベルの映像信号”を書き込む際の変値電圧（飛び込みレベル） ΔV_L が、“ハイレベル側の映像信号”を書き込む際の飛び込みレベル ΔV_H と同じになるように制御される。この関係は次式で表される。

$$\Delta V_L = \Delta V_H \quad ① = ②$$

これにより、“ローレベルの映像信号”的飛び込みの絶対レベル小さくなり、“面ザラ不良”等のユニフォーミティが改善されるばかりか、製造時におけるプロセスマージンを更に広げることができる。電源VDD1の接続箇所はバッファ回路3に限らず、Vシフトレジスタ2、またはVシフトレジスタ2およびバッファ回路3の両方に接続するようにしても良く、同様の結果が得られる方法であれば、回路手法には限定されない。以下、本発明の液晶表示装置は常法に準拠して動作される。

【0031】本発明は前記実施の形態例に限定されず、種々の実施形態を探ることができる。例えば、本実施の形態例では1H反転で駆動する液晶表示装置を例示したが、その他方式によって駆動される液晶表示装置にも応用が可能である。また、水平、垂直駆動回路を内挿した例について説明したが、水平、垂直駆動回路が外挿の液晶表示装置にも応用可能である。更に、本発明は以上示した実施形態にとらわれず様々な形態に発展できることは言うまでもない。

【0032】

【発明の効果】以上説明したように、本発明の液晶表示装置およびその駆動方法によれば、本発明の付加回路によって“ハイレベルの映像信号”的ときには、従来技術のゲートパルス振幅とし、“ローレベルの映像信号”的ときには、“ハイレベルの映像信号”を書き込む際の動作点と同じになるようにゲートパルスの振幅を小さく制御*

* 御するようにした。これにより、“ローレベルの映像信号”を書き込む際の飛び込みレベルが、“ハイレベル側の映像信号”を書き込む際の飛び込みレベルと同等となり、“面ザラ不良”等のユニフォーミティが改善されるばかりか、製造時におけるプロセスマージンを更に広げることが可能となる。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の要部を示すブロック図である。

【図2】 本発明の液晶表示装置の駆動方法を示すタイミングチャート図である。

【図3】 従来技術の液晶表示装置の要部を示すブロック図である。

【図4】 従来技術の液晶表示装置の駆動方法を示す図であり、(a)は“ローレベルの映像信号”を書き込むタイミングチャート図であり、(b)は“ハイレベルの映像信号”を書き込むタイミングチャート図である。

【図5】 書き込みゲートパルスおよび映像信号レベルを示す波形図である。

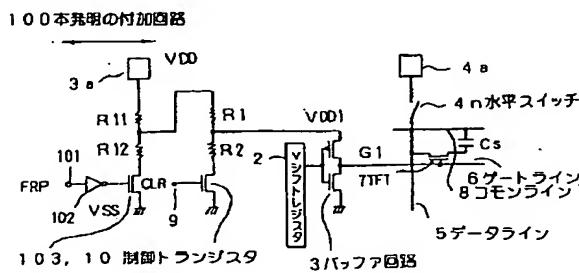
【図6】 従来技術のユニフォーミティ改善対策の一例を示すブロック図である。

【図7】 従来技術のユニフォーミティ改善対策の一例を示すタイミングチャート図である。

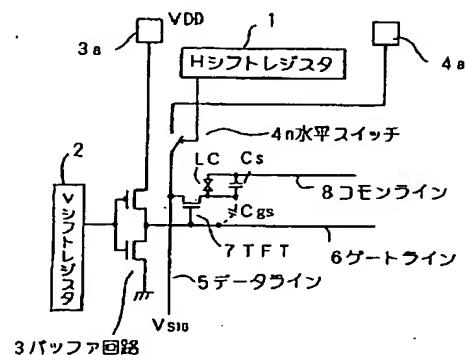
【符号の説明】

1	Hシフトレジスタ
2	Vシフトレジスタ
3	バッファ回路
4 n	水平スイッチ
5	データライン
6	ゲートライン
7	TFT
8	コモンライン
9,101	入力端子
10,103	制御トランジスタ
100	本発明の付加回路
102	インバータ回路

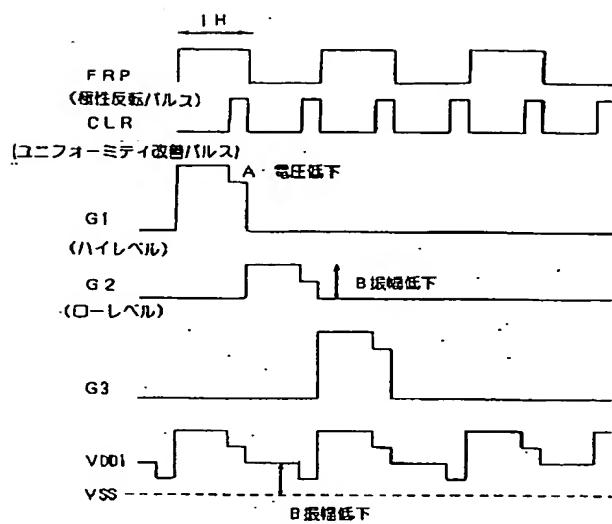
【図1】



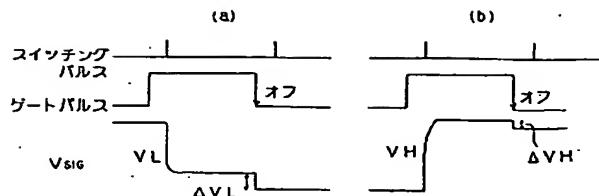
【図3】



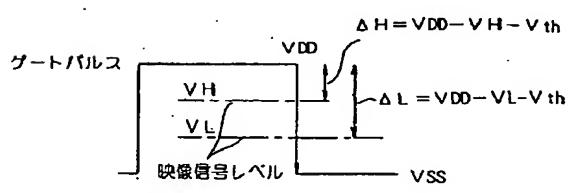
【図2】



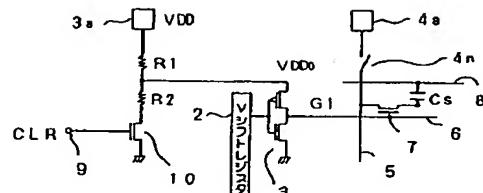
【図4】



【図5】



【図6】



【図7】

